

Title of the invention: Code conversion method

**Best Available Copy**

Claim

A code conversion method that is characterized in that it removes the highly redundant bit position bit signal from a code signal of  $n$ -bit composition and inserts a parity bit signal into said removed bit position.

Detailed description of the invention

This invention concerns a code conversion method in which an  $(n+1)$ -bit code system consisting of  $n$  bits + 1 parity bit is treated as an  $n$ -bit parity bit code system with parity bit.



特 許 願 (5)

昭和 48 年 12 月 31 日

特許庁長官 三 幸 夫 殿

1. 発明の名称 符号変換方式

2. 発明者

住 所 東京都大田区中馬込1丁目3番6号  
株式会社 リ コ ー 内  
氏 名 岡 本 明 (ほか1名)

3. 特許出願人

住 所 東京都大田区中馬込1丁目3番6号  
名 称 (674) 株式会社 リ コ ー  
代表者 館 林 三喜男

4. 代理人 〒105

住 所 東京都港区西新橋2丁目8番15号  
宏和ビル5階  
氏 名 (6641) 弁理士 星 野 恒 司  
電話 03 (591) 2266 番 (代表)



明 細 書

発明の名称 符号変換方式

特許請求の範囲

nビット構成のコード信号から冗長度の高いビット位置のビット信号を除去し、該除去したビット位置にパリティビット信号を挿入することを特徴とする符号変換方式。

発明の詳細な説明

本発明は、nビット+1パリティビットからなる(n+1)ビット符号系をnビットのパリティビット付符号系として扱えるようにした符号変換方式に関する。

偶数、奇数混合のnビット構成の符号系において、これをパリティチェックを行なって処理する場合、nビットに更に1ビットのパリティビットを追加して(n+1)ビット構成として扱わなければならない。必然的に、処理装置のメモリ、レジスタ等のビット構成も(n+1)にしなければならない。

① 日本国特許庁

## 公開特許公報

① 特開昭 49-91738

④ 公開日 昭49.(1974)9.2

② 特願昭 48-304

② 出願日 昭47.(1972)12.31

審査請求 未請求 (全3頁)

庁内整理番号

⑤ 日本分類

6453 56  
6503 56

970G11  
970E21

Best Available Copy

さて、nビットで構成されるコードは、 $2^n$ 通りの組み合わせをとることが可能であるが、このうち $2^{n-1}$ すなわち取り得るコード数の半分程度のみしか使用していない符号系では、nビットのうちnの或る1ビット(通常最上位ビット)は冗長度が高い場合がある。したがって、この種の符号系では前記冗長度の高いビットを除去して取り扱っても、データの性質が損なわれることは少ない。

本発明は、或る種の符号系における上述の性質を利用し、nビット+1パリティビット符号系をnビットのパリティビット付符号系に変換し、必要に応じて元の符号系に変換する符号変換方式を提供するもので、その目的はメモリ、レジスタ等のビット容量を出来るだけ軽減することにある。

以下、データ処理装置において広く採用されているEBCDIC符号系を例にして本発明の内容を詳述することにする。

良く知られているように、EBCDIC符号系は偶数、奇数のコードが入り混っている8ビット構成の符号系で、このEBCDICコードのパリティチェ

ことが多し。第2図はこのEBCDIC符号系の規則性を示したものである。これは、例えば1~6ビット目までの符号構成に関係なく7ビット目が"0"であるとき、8ビット目は"1"になり、同様に、3, 4, 7ビット目が少なくとも"1"であるとき、8ビット目は"0"になることを意味している。第3図に上述した第2図の規則性にもとづいて元の8ビット目のビット情報を復号する論理回路を示す。

EBCDIC 符号系の場合、8ビット目の"1"または"0"の指定は1～7ビットの符号構成で決まる

第4図は本発明方式を採用したデータ処理装置の一例を示すブロック図である。図において、入力装置1から入力された8ビット構成のEBCDICコード信号は入力側符号変換回路2に供給される。符号変換回路2は8ビット目除去回路2'およびパリティビット発生回路2''からなり、ここで、EBCDICコードは8ビット構成のパリティビット付コード信号に変換される。その後、該コード信号は、制御部3の制御のもとに1キャラクタ8ビット構成のメモリ4や演算回路5に転送され、その間、必要に応じてパリティチェック回路6でパ

以上の通り、本発明に係る符号変換方式によれば、データ処理装置における各部のビット容量の軽減に寄与するという効果を有する。

第1図はEBCDIC符号系を示す図、第2図はEBCDICコードの8ビット目の復号化の説明図、第3図は第2図の復号化処理に使用される論理回路の一例、第4図は本発明方式を適用したデータ処理装置の一例を示すブロック図である。

- 1 ..... 入力装置、 2 ..... 入力側符号変換回路、  
3 ..... 制御部、 4 ..... メモリ、  
5 ..... 演算部、 7 ..... 出力側符号変換回路、  
8 ..... 出力装置。

图 1

	EDCIC-7
A	1 0 0 0 - 0 0 0 1
1	1 0 0 0 - 0 0 1 0
7	1 0 0 0 - 0 0 1 1
E	1 0 0 0 - 0 1 0 0
S	1 0 0 0 - 0 1 0 1
C	1 0 0 0 - 0 1 1 0
:	:
.	1 0 1 1 - 1 1 1 1
.	0 1 0 0 - 1 0 1 1
*	0 1 0 1 - 1 0 1 1
:	:
A	1 1 0 0 - 0 0 0 1
B	1 1 0 0 - 0 0 1 0
C	1 1 0 0 - 0 0 1 1
D	1 1 0 0 - 0 1 0 0
:	:
0	1 1 1 1 - 0 0 0 0
1	1 1 1 1 - 0 0 0 1
2	1 1 1 1 - 0 0 1 0

✱ 2 ✱

67年分	8月16日	7~15日
	1	0 - - - -
	0	1 - - 1 0 1 -
	0	1 - - 1 1 - -
S.P.	0	1 0 0 0 0 0 0
E	0	1 0 1 0 0 0 0
-	0	1 1 0 0 0 0 0
A	0	1 1 0 0 0 0 1

図 3

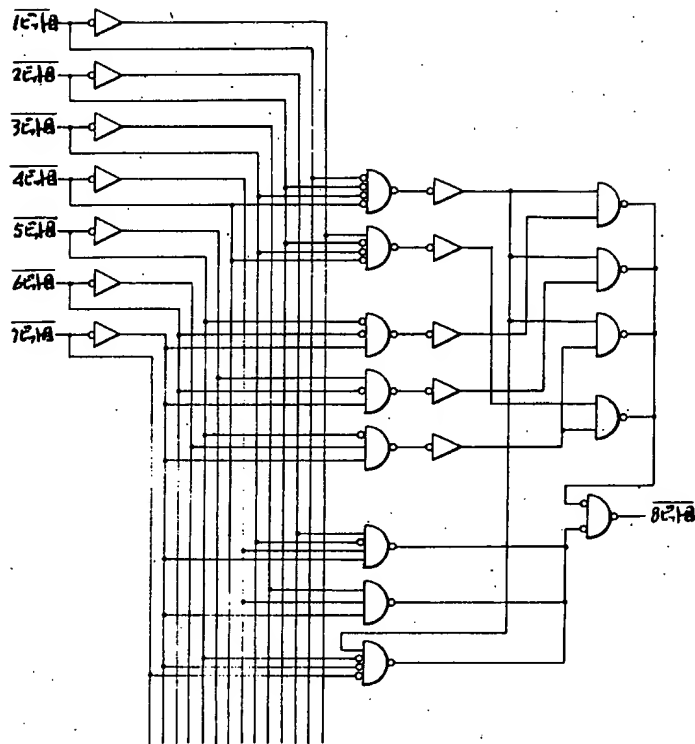
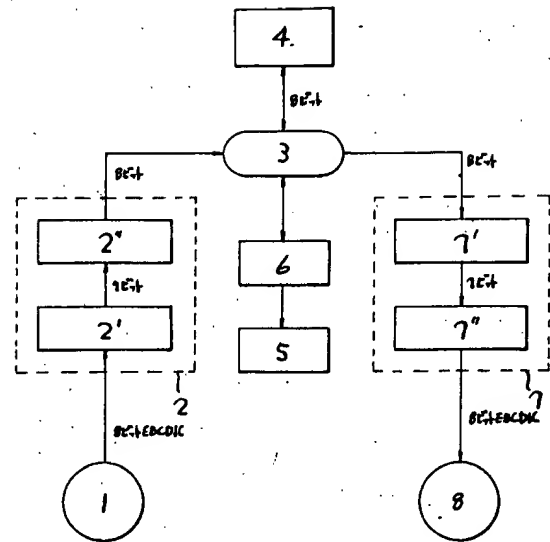


図 4



Best Available Copy

5. 添付書類の目録

(1) 明 細 書	1 通
(2) 図 面	1 通
(3) 願 書 副 本	1 通
(4) 委 任 状	1 通

6. 前記以外の発明者

住 所 東京都大田区中馬込 1 丁目 3 番 6 号  
株式会社 リ コ ー 内  
氏 名 藤 田 秀 雄